

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-299982

(43)Date of publication of application : 12.11.1993

(51)Int.Cl.

H03K 3/354

(21)Application number : 04-101304

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 21.04.1992

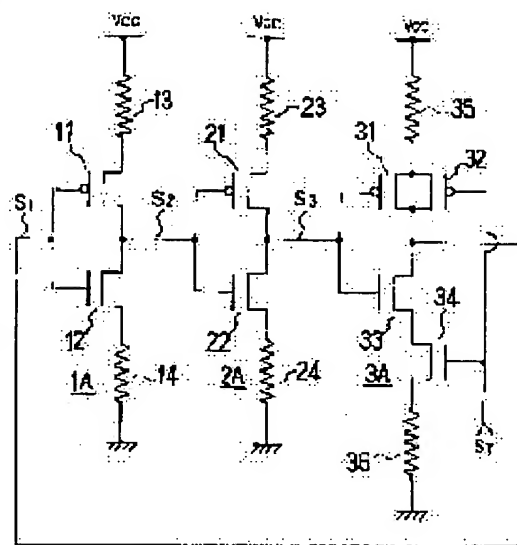
(72)Inventor : SHIMODA MASAKI

(54) RING OSCILLATOR

(57)Abstract:

PURPOSE: To obtain a ring oscillator by which an output always having a constant oscillation frequency is generated regardless of the change of a temperature.

CONSTITUTION: This device is equipped with the odd number of invertors 1A having a pair of different conductive MOS transistors 11 and 12 and a resistor elements 13 or 14 connected between the main electrode of at least one of the pair of MOS transistors 11 and 12, that is, a drain or a source and a power terminal and having no temperature dependency or whose resistance value is decreased as a temperature is increased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

特開平5-299982

(43)公開日 平成5年(1993)11月12日

(51)Int.Cl.⁵

識別記号

室内整理番号

FI

技術表示箇所

H 0 3 K 3/354

B 8124-5 J

審査請求 未請求 請求項の数 2 (全 7 頁)

(21)出題番号

特願平4-101304

(22)出題日

平成4年(1992)4月21日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 下田 正喜

伊丹市瑞原4丁目1番地 三菱電機株式会
社北伊丹製作所内

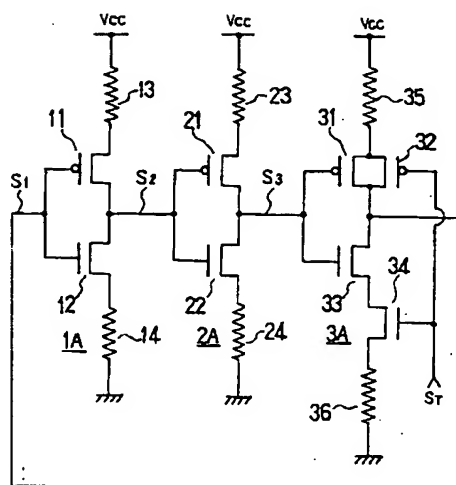
(74)代理人 弁理士 曾我 道照 (外6名)

(54)【発明の名称】 リングオシレータ

(57) 【要約】

【目的】 温度の変化と無関係に、常に一定の発振周期を持つ出力を発生できるリングオシレータを得る。

【構成】 導電型の異なる一対のMOSトランジスタ11、12と、この一対のMOSトランジスタ11、12の少なくとも一方の主電極即ちドレイン又はソースと電源端子の間に接続され、温度依存性がないか又は温度が高くなるほど抵抗値が小さくなる抵抗素子13又は14とを有するインバータ1Aを奇数個備えるように構成する。



1A, 2A : インバータ
3A : NAND 回路
11, 12 : MOS トランジスタ
13, 14 : 拡散素子
21, 22 : MOS トランジスタ
23, 24 : 拡散素子
31~ 34 : MOS トランジスタ
35, 36 : 拡散素子

【特許請求の範囲】

【請求項1】 導電型の異なる一対のトランジスタと、この一対のトランジスタの少なくとも一方の主電極と電源端子の間に接続され、温度依存性がないか又は温度が高くなるほど抵抗値が小さくなる抵抗素子とを有するインバータを奇数個備えたことを特徴とするリングオシレータ。

【請求項2】 導電型の異なる一対のトランジスタと、この一対のトランジスタの少なくとも一方の主電極と電源端子の間に接続され、温度が高くなるほど抵抗値が小さくなるか又は温度が高くなるほど抵抗値が小さくなりかつその抵抗値の上記トランジスタのオン抵抗に対する割合が大きな抵抗素子とを有するインバータを奇数個備えたことを特徴とするリングオシレータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、リングオシレータに関し、特に例えば半導体装置内において、温度依存性のない一定周期の信号を得る場合、或は温度が高くなるほど周期が短くなる信号を得る場合等に用いて好適なリングオシレータに関するものである。

【0002】

【従来の技術】 図3は従来のリングオシレータを示す回路図である。図において、1は入力信号を位相反転するインバータ、2はインバータ1に接続され、その出力信号を位相反転するインバータ、3は一方の入力端にインバータ2の出力信号が供給され、他方の入力端に外部からのタイマオン信号 S_T が供給されるNAND回路であって、このNAND回路3の出力信号がインバータ1の入力側に帰還される。そして、リングオシレータの動作、非動作は、NAND回路3の他方の入力端に供給されるリングオシレータの発振動作制御信号としてのタイマオン信号 S_T によって実質的に決定されるようになっている。

【0003】 図4は図3の具体回路の一例を示すもので、インバータ1はPチャネル型MOSトランジスタ11とNチャネル型MOSトランジスタ12からなり、Pチャネル型MOSトランジスタ11とNチャネル型MOSトランジスタ12の各ゲート及び各ドレインはそれぞれ共通接続され、Pチャネル型MOS11のソースは正の電源端子 V_{cc} に接続され、Nチャネル型MOSトランジスタ12のソースは接地される。

【0004】 インバータ2はPチャネル型MOSトランジスタ21とNチャネル型MOSトランジスタ22からなり、Pチャネル型MOSトランジスタ21とNチャネル型MOSトランジスタ22の各ゲート及び各ドレインはそれぞれ共通接続される。そして、上記各ゲートの共通接続点が、Pチャネル型MOSトランジスタ11とNチャネル型MOSトランジスタ12の各ドレインの共通接続点に接続される。又、Pチャネル型MOSトランジ

スタ21のソースは正の電源端子 V_{cc} に接続され、Nチャネル型MOSトランジスタ22のソースは接地される。

【0005】 NAND回路3はPチャネル型MOSトランジスタ31、32とNチャネル型MOSトランジスタ33、34からなり、Pチャネル型MOSトランジスタ31とNチャネル型MOSトランジスタ33の各ゲート及び各ドレインはそれぞれ共通接続され、そして、上記各ゲートの共通接続点が、Pチャネル型MOSトランジスタ21とNチャネル型MOSトランジスタ22の各ドレインの共通接続点に接続される。

【0006】 又、Pチャネル型MOSトランジスタ31のソースは正の電源端子 V_{cc} に接続され、Nチャネル型MOSトランジスタ33のソースは、Nチャネル型MOSトランジスタ34のソースドレインを介して接地される。又、Pチャネル型MOSトランジスタ32のソースドレインはPチャネル型MOSトランジスタ31のソースドレインに並列接続され、Pチャネル型MOSトランジスタ31とNチャネル型MOSトランジスタ33の各ドレインの共通接続点が、Pチャネル型MOSトランジスタ11とNチャネル型MOSトランジスタ12の各ゲートの共通点に接続される。そして、Pチャネル型MOSトランジスタ32とNチャネル型MOSトランジスタ34のゲートにタイマオン信号 S_T が供給されるようになされている。

【0007】 次に、図4の動作について、図5を参照しながら説明する。今、Pチャネル型MOSトランジスタ32とNチャネル型MOSトランジスタ34のゲートに供給されるタイマオン信号 S_T が図5(a)に示すように、ローレベルのときは、Pチャネル型MOSトランジスタ32がオン、Nチャネル型MOSトランジスタ34がオフしてリングオシレータは非動作状態にあり、このときインバータ1、2及びNAND回路3の各出力信号 S_2 、 S_3 及び S_1 は、それぞれ図5(c)、(d)及び(b)に示すように、常にローレベル、ハイレベル及びハイレベルとなっている。

【0008】 次に、Pチャネル型MOSトランジスタ32とNチャネル型MOSトランジスタ34のゲートに供給されるタイマオン信号 S_T が図5(a)に示すように、ハイレベルになると、Pチャネル型MOSトランジスタ32がオフ、Nチャネル型MOSトランジスタ34がオンしてリングオシレータは動作状態になる。そして、このタイマオン信号 S_T の立ち上がりにはほぼ同期して信号 S_1 が図5(b)に示すようにローレベルになると、インバータ1のPチャネル型MOSトランジスタ11がオン、Nチャネル型MOSトランジスタ12がオフしてインバータ1の出力側に図5(c)に示すようなハイレベルの出力信号 S_2 が得られる。

【0009】 この出力信号 S_2 は次段のインバータ2に供給され、これによりインバータ2のPチャネル型MO

Sトランジスタ21がオフ、Nチャネル型MOSトランジスタ22がオンしてインバータ2の出力側に図5

(d)に示すようなローレベルの出力信号 S_3 が得られる。この出力信号 S_3 は次段のNAND回路3に供給され、これによりNAND3のPチャネル型MOSトランジスタ31がオン、Nチャネル型MOSトランジスタ33がオフしてNAND回路3の出力側に図5(b)に示すようなハイレベルの出力信号 S_1 が得られる。このように、信号 S_1 、 S_2 、 S_3 がそれぞれの変化を伝達し、一定の周期にてハイレベル、ローレベルを繰り返す。この状態をリングオシレータの発振(動作状態)という。

【0010】図6は図4のような構成をなす従来のリングオシレータにおける発振周期の温度依存性のシミュレーション結果を示すものである。ここで、各インバータのMOSトランジスタのサイズは、Pチャネル型MOSトランジスタのゲート長が $60\mu\text{m}$ 、ゲート幅が $4\mu\text{m}$ 、Nチャネル型MOSトランジスタのゲート長が $120\mu\text{m}$ 、ゲート幅が $4\mu\text{m}$ 、電源電圧 V_{cc} が 5V でのシミュレーション結果である。

【0011】この結果より、温度が 0°C から 80°C まで変化すると、リングオシレータの発振周期が $5.63\mu\text{s}$ ～ $8.05\mu\text{s}$ と大きく変化していることが分かる。つまり、例えば 80°C より低いある特定の温度における信号 S_1 ～ S_3 の周期が図5に示すようなものであるとすると、これらの信号 S_1 ～ S_3 の周期は、温度が 80°C に向かって上昇するに従って、長くなることになる。

【0012】

【発明が解決しようとする課題】従来のリングオシレータは以上のように構成されているので、インバータ及びNAND回路を構成するPチャネル型MOSトランジスタ及びNチャネル型MOSトランジスタの温度依存性によりリングオシレータの発振周期が変化してしまい、特に例えばDRAMのリフレッシュ用としてこのリングオシレータの発振周期を利用した場合、温度が高くなるほどリフレッシュ特性の周期が長くなってしまい、リフレッシュ特性が温度が高くなるほど悪くなるのに対し、不利に働いてしまうという問題点があった。

【0013】この発明はこのような問題点を解決するためになされたもので、発振周期に対する温度依存性がほとんどないか、或は温度が高くなるほど発振周期が短くなるリングオシレータを得ることを目的とする。

【0014】

【課題を解決するための手段】請求項1の発明に係るリングオシレータは、導電型の異なる一対のトランジスタと、この一対のトランジスタの少なくとも一方の主電極と電源端子の間に接続され、温度依存性がないか又は温度が高くなるほど抵抗値が小さくなる抵抗素子とを有するインバータを奇数個備えたものである。

【0015】請求項2の発明に係るリングオシレータ

は、導電型の異なる一対のトランジスタと、この一対のトランジスタの少なくとも一方の主電極と電源端子の間に接続され、温度が高くなるほど抵抗値が小さくなるか又は温度が高くなるほど抵抗値が小さくなりかつその抵抗値の上記トランジスタのオン抵抗に対する割合が大きな抵抗素子とを有するインバータを奇数個備えたものである。

【0016】

【作用】請求項1の発明においては、抵抗素子の抵抗値に対してトランジスタのオン抵抗が無視できない程度のものであるときには、本来トランジスタのオン抵抗が、温度の上昇に伴って大きくなる性質を持っているので、このような場合には、各抵抗素子として温度が高くなるほど抵抗値が小さくなるような特性を示すものを用いる。又、抵抗素子の抵抗値に対してトランジスタのオン抵抗が無視できる程度のものであるときには、回路の温度依存性は、実質的に抵抗素子温度依存性で決まるので、このような場合には、抵抗素子としては温度依存性のないものを使用する。これにより、いずれの場合も、温度の変化と無関係に、常に一定の発振周期を持つ出力を発生できるリングオシレータを得ることができ。

【0017】又、請求項2の発明においては、抵抗素子の抵抗値に対してトランジスタのオン抵抗が無視できる程度のものであるときに、抵抗素子として温度が高くなるほど抵抗値が小さくなるような特性を示すものを用いる。或は抵抗素子の抵抗値に対してトランジスタのオン抵抗が無視できない程度のものであるときに、抵抗素子として温度が高くなるほど抵抗値が小さくなるような特性を示すものを用い、その際に抵抗素子の値のトランジスタのオン抵抗に対する割合を大きくする。これにより、いずれの場合も、温度が高くなるほど発振周期が短くなる出力を発生できるリングオシレータを得ることができる。

【0018】

【実施例】実施例1. 以下、この発明の一実施例を図について説明する。図1はこの発明の一実施例を示す回路図であり、図4と対応する部分には同一符号を付し、その詳細説明を省略する。図1において、1Aは入力信号を位相反転するインバータ、2Aはインバータ1Aに接続され、その出力信号を位相反転するインバータ、3Aは一方の入力端にインバータ2Aの出力信号が供給され、他方の入力端に外部からのタイマオン信号 S_T が供給されるNAND回路であって、このNAND回路3Aの出力信号がインバータ1Aの入力側に帰還される。そして、リングオシレータの動作、非動作は、NAND回路3Aの他方の入力端に供給されるリングオシレータの発振動作制御信号としてのタイマオン信号 S_T によって実質的に決定されるようになされている。

【0019】インバータ1AはPチャネル型MOSトランジスタ11と、Nチャネル型MOSトランジスタ12

と、温度依存性がほとんどないか、或は温度が高くなるほど抵抗値が小さくなるような特性を示す抵抗素子13及び14からなり、Pチャネル型MOSトランジスタ11とNチャネル型MOSトランジスタ12の各ゲート及び各ドレインはそれぞれ共通接続される。そして、Pチャネル型MOS11のソースは抵抗素子13を介して正の電源端子Vccに接続され、Nチャネル型MOSトランジスタ12のソースは抵抗素子14を介して接地される。

【0020】インバータ2AはPチャネル型MOSトランジスタ21と、Nチャネル型MOSトランジスタ22と、温度依存性がほとんどないか、或は温度が高くなるほど抵抗値が小さくなるような特性を示す抵抗素子23及び24からなり、Pチャネル型MOSトランジスタ21とNチャネル型MOSトランジスタ22の各ゲート及び各ドレインはそれぞれ共通接続される。そして、上記各ゲートの共通接続点が、Pチャネル型MOSトランジスタ11とNチャネル型MOSトランジスタ12の各ドレインの共通接続点に接続される。又、Pチャネル型MOSトランジスタ21のソースは抵抗素子23を介して正の電源端子Vccに接続され、Nチャネル型MOSトランジスタ22のソースは抵抗素子24を介して接地される。

【0021】NAND回路3AはPチャネル型MOSトランジスタ31、32と、Nチャネル型MOSトランジスタ33、34と、温度依存性がほとんどないか、或は温度が高くなるほど抵抗値が小さくなるような特性を示す抵抗素子35及び35からなり、Pチャネル型MOSトランジスタ31とNチャネル型MOSトランジスタ33の各ゲート及び各ドレインはそれぞれ共通接続される。そして、上記各ゲートの共通接続点が、Pチャネル型MOSトランジスタ21とNチャネル型MOSトランジスタ22の各ドレインの共通接続点に接続される。

【0022】又、Pチャネル型MOSトランジスタ31のソースは抵抗素子35を介して正の電源端子Vccに接続され、Nチャネル型MOSトランジスタ33のソースは、Nチャネル型MOSトランジスタ34のソースドレインと抵抗素子36を介して接地される。又、Pチャネル型MOSトランジスタ32のソースドレインはPチャネル型MOSトランジスタ31のソースドレインに並列接続され、Pチャネル型MOSトランジスタ31とNチャネル型MOSトランジスタ33の各ドレインの共通接続点が、Pチャネル型MOSトランジスタ11とNチャネル型MOSトランジスタ12の各ゲートの共通点に接続される。そして、Pチャネル型MOSトランジスタ32とNチャネル型MOSトランジスタ34のゲートにリングオシレータの発振動作制御信号としてのタイマオン信号 S_T が供給されるようになされている。

【0023】尚、本実施例では、各抵抗素子の抵抗値に対してMOSトランジスタのオン抵抗が無視できない程

度のものであるときには、本来MOSトランジスタのオン抵抗が、温度の上昇に伴って大きくなる性質を持っているので、このような場合には、各抵抗素子として温度が高くなるほど抵抗値が小さくなるような特性を示すものを用い、又、各抵抗素子の抵抗値に対してMOSトランジスタのオン抵抗が無視できる程度のものであるときには、回路の温度依存性は、実質的に抵抗素子温度依存性で決まるので、このような場合には、各抵抗素子としては温度依存性の無いものを使用するものとする。ここで、温度が高くなるほど抵抗値が小さくなるような特性を示す抵抗素子としては、例えばポリシリコン又はポリサイドから成る抵抗素子が考えられる。

【0024】次に、動作について説明する。リングオシレータが発振する基本動作は、従来例と同様であるので、その説明を省略する。本実施例では、上述のごとく、MOSトランジスタ11と12、21と22の各ソースにそれぞれ抵抗素子13と14、23と24が接続され、又、MOSトランジスタ31のソースに抵抗素子35が接続されると共にMOSトランジスタ33のソースにMOSトランジスタ34を介して抵抗素子36が接続されているため、各抵抗素子の抵抗値に対してMOSトランジスタのオン抵抗が無視できない程度のものであるときには、各MOSトランジスタのオン抵抗が温度の上昇に伴って大きくなっても、各抵抗素子の抵抗値が温度の上昇に伴って小さくなるので、各MOSトランジスタの持つ温度依存性は、それぞれ対応する抵抗素子の持つ温度依存性により実質的に相殺され、回路全体としては温度依存性の無いものになる。この結果、インバータ1A、2A及びNAND回路3Aの各出力の周期は、温度と無関係に、常に一定となる。

【0025】又、各抵抗素子の抵抗値に対してMOSトランジスタのオン抵抗が無視できる程度のものであるときには、上述のごとく各抵抗素子は温度依存性の無いものを使用するので、回路全体としては温度依存性の無いものになる。この結果、この場合も、インバータ1A、2A及びNAND回路3Aの各出力の周期は、温度と無関係に、常に一定となる。

【0026】図2は図1のような回路構成をとるリングオシレータの温度依存性のシミュレーション結果を示す図である。図2において、波形aは例えば温度0°Cに於ける信号 S_3 の波形の推移を表し、波形bは例えば温度27°C及び80°Cに於ける信号 S_3 の波形の推移を表し、これより、信号 S_3 の周期には、温度0°C、27°C及び80°Cの3点でほとんど差が無いことが分かる。又、このシミュレーションは、図示せず、他の信号 S_1 、 S_2 についても同様の結果が得られた。

【0027】このように、本実施例では、温度の変化と無関係に、常に一定の発振周期を持つ出力を発生できるリングオシレータを得ることができ、例えばチャージポンプを使用したDRAMの基準電位発生回路等に用いて

有用である。

【0028】実施例2. 又、上記実施例1において、各抵抗素子の抵抗値に対してMOSトランジスタのオン抵抗が無視できる程度のものであるときに、各抵抗素子として温度が高くなるほど抵抗値が小さくなるような特性を示すものを用いてもよく、或は各抵抗素子の抵抗値に対してMOSトランジスタのオン抵抗が無視できない程度のものであるときに、各抵抗素子として温度が高くなるほど抵抗値が小さくなるような特性を示すものを用い、その際に各抵抗素子の値のMOSトランジスタのオン抵抗に対する割合いを大きくしてもよい。

【0029】このような抵抗素子を用いることにより、本実施例では、いずれの場合も温度が高くなるほど発振周期が短くなる出力を発生できるリングオシレータを得ることができ、特に温度が高くなるほどリフレッシュの周期を短くする必要がある半導体装置、例えばDRAM等のリフレッシュに用いて有用である。

【0030】尚、上記各実施例では、MOSトランジスタの全てに対して抵抗素子を挿入する場合に付いて説明したが、回路全体で所定の温度依存性に対して、所望の周期が得られれば、全てのMOSトランジスタに抵抗素子を挿入しなくてもよい。又、NAND回路の代わりにNOR回路を用いてもよい。

【0031】

【発明の効果】以上のように請求項1の発明によれば、導電型の異なる一対のトランジスタと、この一対のトランジスタの少なくとも一方の主電極と電源端子の間に接続され、温度依存性がないか又は温度が高くなるほど抵抗値が小さくなる抵抗素子とを有するインバータを奇数個備えたので、温度の変化と無関係に、常に一定の発振周期を持つ出力を発生できるリングオシレータを得ることができ、例えばチャージポンプを使用したDRAMの

基準電位発生回路等に用いて有用であるという効果がある。

【0032】又、請求項2の発明によれば、導電型の異なる一対のトランジスタと、この一対のトランジスタの少なくとも一方の主電極と電源端子の間に接続され、温度が高くなるほど抵抗値が小さくなるか又は温度が高くなるほど抵抗値が小さくなりかつその抵抗値の上記トランジスタのオン抵抗に対する割合いが大きな抵抗素子とを有するインバータを奇数個備えたので、温度が高くなるほど発振周期が短くなる出力を発生できるリングオシレータを得ることができ、特に温度が高くなるほどリフレッシュの周期を短くする必要がある半導体装置、例えばDRAM等のリフレッシュに用いて有用であるという効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例を示す回路図である。

【図2】この発明の一実施例の動作説明に供するための図である。

【図3】従来のリングオシレータを示す構成図である。

【図4】図3の具体例を示す回路図である。

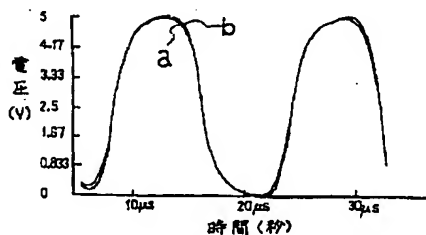
【図5】従来例の動作説明に供するための波形図である。

【図6】従来例の動作説明に供するための図である。

【符号の説明】

- 1 A、2 A インバータ
- 3 A NAND回路
- 1 1、1 2 MOSトランジスタ
- 1 3、1 4 抵抗器
- 2 1、2 2 MOSトランジスタ
- 2 3、2 4 抵抗器
- 3 1～3 4 MOSトランジスタ
- 3 5、3 6 抵抗器

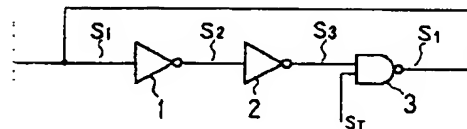
【図2】



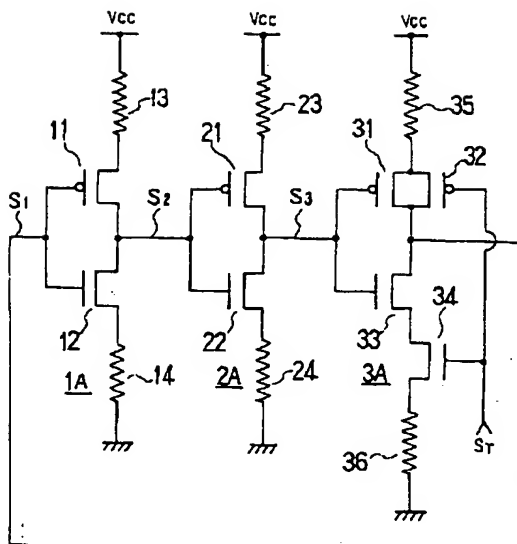
【図6】

温度	0℃	27℃	60℃	80℃
周期	5.63μs	6.43μs	7.39μs	8.05μs

【図3】

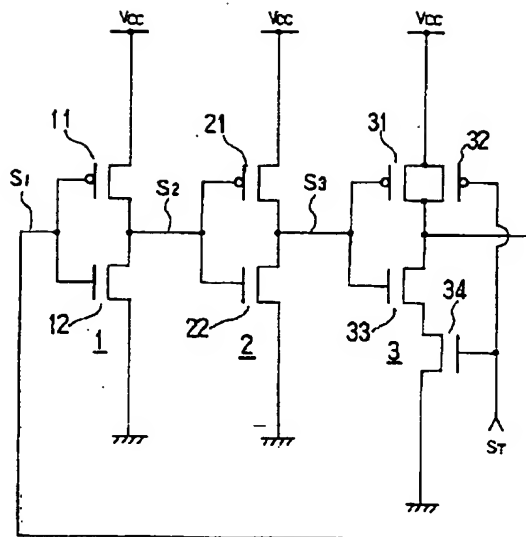


【図 1】

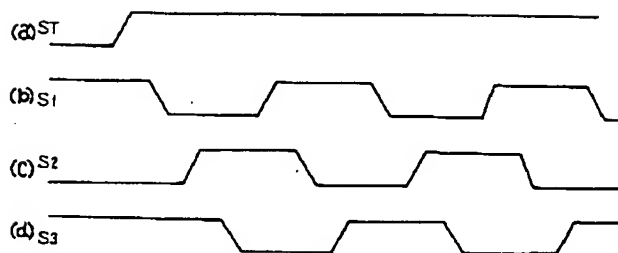


- 1A, 2A : インバータ
 3A : NAND回路
 11, 12 : MOSトランジスタ
 13, 14 : 抵抗素子
 21, 22 : MOSトランジスタ
 23, 24 : 抵抗素子
 31~34 : MOSトランジスタ
 35, 36 : 抵抗素子

【図 4】



【図 5】



【手続補正書】

【提出日】平成4年12月10日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】

【作用】請求項1の発明においては、抵抗素子の抵抗値に対してトランジスタのオン抵抗が無視できない程度のものであるときには、本来トランジスタのオン抵抗が、

温度の上昇に伴って大きくなる性質を持っているので、このような場合には、各抵抗素子として温度が高くなるほど抵抗値が小さくなるような特性を示すものを用いる。又、抵抗素子の抵抗値に対してトランジスタのオン抵抗が無視できる程度のものであるときには、回路の温度依存性は、実質的に抵抗素子温度依存性で決まるので、このような場合には、抵抗素子としては温度依存性のないものを使用する。これにより、いずれの場合も、温度の変化と無関係に、常に一定の発振周期を持つ出力を発生できるリングオシレータを得ることができる。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】このように、本実施例では、温度の変化と無関係に、常に一定の発振周期を持つ出力を発生できるリングオシレータを得ることができ、例えばチャージポンプを使用したDRAMの基準周期発生回路等に用いて有用である。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】

【発明の効果】以上のように請求項1の発明によれば、導電型の異なる一對のトランジスタと、この一對のトランジスタの少なくとも一方の主電極と電源端子の間に接続され、温度依存性がないか又は温度が高くなるほど抵抗値が小さくなる抵抗素子とを有するインバータを奇数個備えたので、温度の変化と無関係に、常に一定の発振周期を持つ出力を発生できるリングオシレータを得ることができ、例えばチャージポンプを使用したDRAMの基準周期発生回路等に用いて有用であるという効果がある。